

智慧晶片課程推廣計畫成果分享

謝東佑

國立中山大學

積體電路設計研究所/

電機工程學系

大綱

- 計畫概觀與申請動機
- 課程推廣成效
- 執行流程
 - 模組課程與現有課程的銜接
- 教學成效

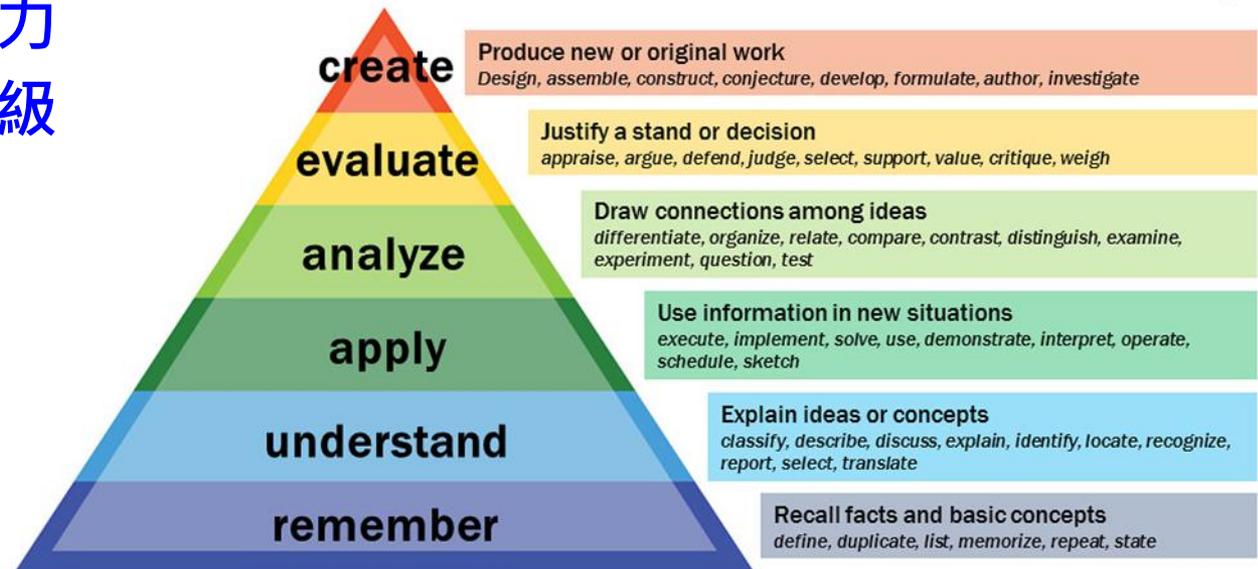
大綱

- 申請動機與計畫概觀
- 課程推廣成效
- 執行流程
 - 模組課程與現有課程的銜接
- 教學成效

申請動機

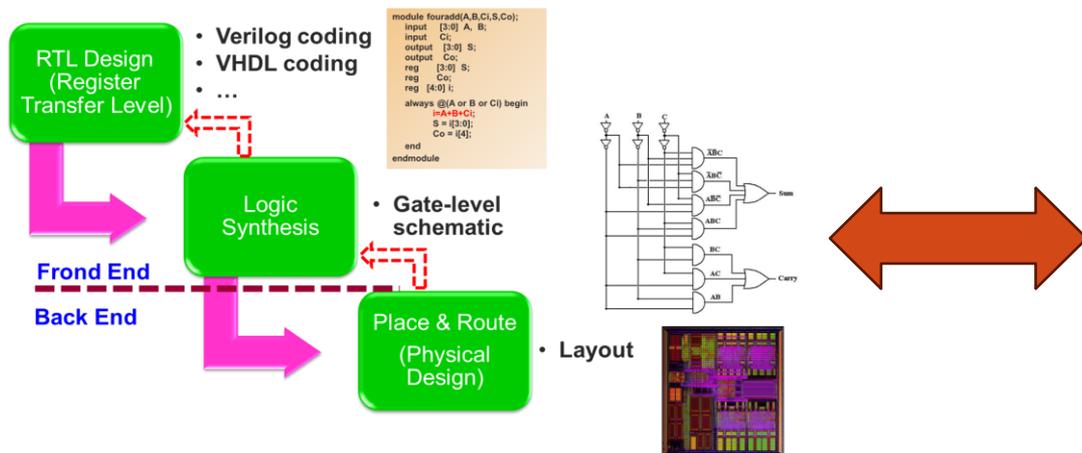
- 達到計畫徵件的**期待**
- 對於學生學習有**具體幫助**，**建立口碑**，**課程永續**
 - 增加學習動機
 - 增加學生實務能力
 - 提高學生思考層級

Bloom's Taxonomy



申請動機

- 學生的**好奇與疑惑**
 - 如何具體應用所學的數位電路前段實現方法，以及如何做得更好，提升自己的競爭力？
- 學生普遍知道AI的重要性，但**不知如何具體連結AI與晶片設計**
 - AI加速器晶片之設計與實作
 - 從大學部開始撒下種子，培育未來的IC設計人才



概觀

- 執行課程
 - 實用數位系統設計
 - 開設於大三的一門IC設計選修課程
 - 能描敘數位電路前段實現方法的原理與步驟
 - 能應用這些方式設計並實現數位電路
 - 能分析數位電路設計的trade-off並最佳化
- 重點課程模組
 - 智慧影像處理 AI 加速器設計 (C-3)
 - 國立清華大學電機系 黃朝宗 教授
 - 介紹智慧影像處理晶片的應用潛力與商業機會
 - 介紹從應用面的網路模型，一路到數位電路前段實作面的電路架構

大綱

- 計畫概觀與申請動機
- 課程推廣成效
- 執行流程
 - 模組課程與現有課程的銜接
- 教學成效

課程推廣成效

績效指標	目標值	達成度
修課人數	50	64
專題作品數	15	24

學生是否真的能跟著上並完成？

專題組別共24組，一組一件專題，於學期末完成。

- 以AI加速器設計為共同主題，並統一規範所需功能與規格，以利設計共同testbench對學生的設計進行驗證。
- 請修課學生應用課堂所學進行此加速器之架構設計、實現與最佳化。
- 專題作品需完成至cell-based digital design flow之前段設計。

大綱

- 計畫概觀與申請動機
- 課程推廣成效
- **執行流程**
 - **模組課程與現有課程的銜接**
- 教學成效

執行流程分享

- 種子教師及助教培訓營
 - 教師增能
 - 助教培訓
- 課程目標訂定
 - 學習成效
 - 修課人數
- 課程宣傳 (修課人數)
 - 前一學期之最後一堂課
 - 專題生 (鼓勵或是專題必備)
- 教材規劃與設計 (逆向課程設計法)
 - 評量尺規
- 課程進行方式規劃
 - 模組課程銜接
- 學習成效評估 (對於學生學習的實質幫助)
 - 學習歷程分析
 - 期中問卷前測
 - 期末問卷後測

課程目標

- 能**熟知**各種實用數位系統的背景知識、演算法與架構設計
- 能**列舉**各種實用數位系統的演算法與架構設計的優缺點
- 能熟知各種**硬體描述語言設計方法**的原理與步驟
- 能實際運用各種**硬體描述語言設計方法**進行實用數位系統的設計
- 能熟知**數位電路前段實現方法**的原理與步驟
- 能**實際運用**數位電路前段實現方法進行實用數位系統的實現
- 能**分析**最佳實用數位系統設計與實現所需的各項要素
- 能實際**完成**實用數位系統設計的最佳化
- 能針對一**全國IC設計競賽**之實際電路完成設計、實現與最佳化

課程規劃

週數	教學與作業進度	使用重點模組
第1週	Introduction to Cell-Based Digital Design <ul style="list-style-type: none">■ 簡介IC產業、IC設計與生產流程、電路效能評估指標	
第2週	Verilog Coding for Combinational Logic <ul style="list-style-type: none">■ 針對基礎組合邏輯電路之Verilog撰寫語法與範例電路設計。	
第3週	Verilog Coding for Combinational Logic <ul style="list-style-type: none">■ 針對進階組合邏輯電路之Verilog撰寫語法與範例電路設計。■ 作業內容：本單元著重在如何有效率設計組合電路，因此實作內容希望同學可以練習以硬體導向設計兩個在數位電路中常見的模組：投票機、中位數機。本設計的限制在於他們不能使用儲存單元，例如暫存器，僅能使用組合電路，例如多工器、加法器、解碼器等。除了電路設計之外，同學們還需要撰寫測試程式進行自動化的功能驗證報告將著重在演算法的說明、邏輯閘數量預估以及最長路徑等。	

課程規劃

週數	教學與作業進度	使用重點模組
第4週	全校運動會停課一日	
第5週	Workstation Usage and Coding Practice <ul style="list-style-type: none">■ 工作站環境與軟體使用教學。■ 作業內容：同學在課堂上完成我們設計的實作學習單內容著重在工作站的連線、linux指令的介紹以及電路驗證階段會使用到的電子設計自動化工具操作，包括語法檢查、波行模擬。此外，也提供自動化驗證程式的模板給同學們參考，希望可以提升未來大家在驗證上的效率。	
第6週	Adder Designs <ul style="list-style-type: none">■ 不同加法器之設計與分析。■ 作業內容：同學利用本堂課所學，以基本的硬體描述語言撰寫常見的漣波進位加法器、前瞻進位加法器、進位選擇加法器，並且實際設計測試程式，驗證電路功能和分析效能，分析重點包括面積、邏輯閘延遲以及最長路徑等。同時，希望同學可以採用多種架構進行綜合性的評估，清楚說明這些演算法的特色、優缺點、運作方式。	

課程規劃

週數	教學與作業進度	使用重點模組
第7週	<p>Logic Synthesis Concept and EDA Tool</p> <ul style="list-style-type: none">■ 透過非同步教學影片的方式進行課程。■ 邏輯合成概念、Synopsys Design Compiler操作流程。■ 作業內容：同學會以Synopsys Design Compiler針對他們先前所設計之加法器、投票機、中位數機進行邏輯合成，於報告中討論邏輯合成的各項流程，並且清楚說明合成前後的延遲效應、邏輯閘數量、層數、最長路徑功耗等內容，且跟先前的合成前作業做比較。此外，本項實作還會針對大家的硬體效能（面積、延遲時間）進行全班的排序，分享和討論最佳之設計。	
第8週	<p>Verilog Coding for Sequential Logic</p> <ul style="list-style-type: none">■ 針對基礎循序邏輯電路之Verilog撰寫語法與範例電路設計。	
第9週	期中考	

課程規劃

週數	教學與作業進度	使用重點模組
第10週	<p>Verilog Coding for Sequential Logic</p> <ul style="list-style-type: none"> ■ 針對進階循序邏輯電路之Verilog撰寫語法與範例電路設計。 ■ 作業內容：以RTL設計一個實用的數位電路：紅綠燈控制器，並且希望同學可以在狀態機中整合計數器的設計，產生相關控制訊號。除了電路設計之外，同學們還需要撰寫測試程式，透過波型模擬說明設計的運作流程以及如何驗證功能正確性。最後，也需要將此電路以Synopsys Design Compiler進行邏輯合成，並且清楚說明硬體架構設計與合成前後的延遲效應邏輯閘數量、層數、最長路徑、功耗等內容。 	
第11週	<p>(1)期末專題題目公布 (2)Multiplier Designs 不同乘法器之設計與分析。</p>	
第12週	<p>RTL Coding Guidelines</p> <ul style="list-style-type: none"> ■ RTL Coding準則、Synopsys Spyglass操作流程。 ■ 作業內容：在介紹完 Synopsys Spyglass操作流程後，提供學生一個實際的循序電路，並在電路中設計常見的Coding準則錯誤，讓同學學習如何透過軟體的檢測結果，更正電路。 	

課程規劃

週數	教學與作業進度	使用重點模組
第13週	<p>Introduction to Image Processing AI</p> <ul style="list-style-type: none">■ 以教材模組單元1為參考教材，介紹影像處理背景與應用、卷積神經網路模型與硬體設計方法、AI加速器設計之機會與挑戰。■ 作業內容：在介紹完本單元後，會請同學設計一個圖像卷積電路作為本堂課程的期末專題。電路包含兩層的運算，分別為convolution和max pooling。可以從實作中學習到基本的CNN硬體架構、與外部記憶體溝通和控制設計、不同演算法設計提升硬體效能，同時希望同學可以採用多種架構進行綜合性的評估，清楚說明這些演算法的特色、優缺點、運作方式。此外，也需要將此電路以Synopsys Design Compiler進行邏輯合成，並且清楚說明硬體架構設計與合成前後的延遲效應邏輯閘數量、層數、最長路徑、功耗等內容。最後，本項實作還會針對大家的硬體效能（面積、延遲時間）進行全班的排序，分享和討論最佳之設計。	採用模組：C-3 採用時數：3小時

課程規劃

週數	教學與作業進度	使用重點模組
第14週	<p>(1) 期末專題構想報告</p> <p>(2) Design of Image Processing AI Accelerators: Fixed-Point Quantization</p> <ul style="list-style-type: none"> 以教材模組單元3為參考教材，介紹模型量化基本概念，並簡化上機實習教材(Workshop I)作為此單元之實作體驗課程 作業內容：學習基本的CNN硬體架構，包括ReLU、convolution、residual connection等，以及動態定點數量化的背景知識與實現方式。同學在實作中會需要實現一個八位元的動態定點數量化CNN加速器，並且以Synopsys Design Compiler進行邏輯合成，和16位元的靜態定點數量化CNN加速器做效能的評估和比較。其中，有提供自動化的驗證程式給同學，希望他們可以清楚的說明動態定點數量化以及靜態定點數量化兩種不同的設計方式在模型準確度上的影響，例如從肉眼觀察兩個模型的輸出圖片差異以及比較PSNR的數值。 	<p>採用模組：C-3</p> <p>採用時數：2小時</p>
第15週	<p>Design of Image Processing AI Accelerators: Computational Sparsity</p> <ul style="list-style-type: none"> 以教材模組單元4為參考教材，介紹計算稀疏性基本概念、影像處理面臨的問題。 	<p>採用模組：C-3</p> <p>採用時數：3小時</p>

課程規劃

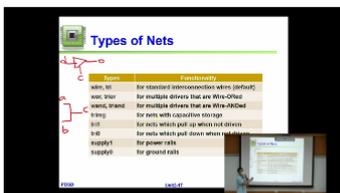
週數	教學與作業進度	使用重點模組
第16週	期末專題進度報告	
第17週	線上課程自主學習(Digital Systems: From Logic Gates to Processors)	
第18週	(1) 線上課程自主學習(Digital Systems: From Logic Gates to Processors) (2) 期末專題成果報告	

每堂課程之課後錄影

≡  Studio

🔍 在頻道中搜尋

← 頻道內容



你的播放清單

112-2 PDS

 詳細資訊

 影片

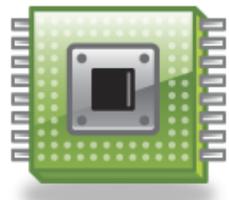
 數據分析

播放清單影片

影片	日期	觀看次數
 112-2 PDS 20240306 Part2 新增說明 1:21:37	2024年3月6日 上傳日期：	66
 112-2 PDS 20240221 新增說明 2:10:30	2024年2月21日 上傳日期：	88
 112-2 PDS 20240306 Part1 新增說明 1:21:28	2024年3月6日 上傳日期：	80
 112-2 PDS 20240320 新增說明 1:53:38	2024年3月25日 上傳日期：	82
 112-2 PDS 20240403 Part2 新增說明 1:04:48	2024年4月5日 上傳日期：	76
 112-2 PDS 20240403 Part1 新增說明 2:03:30	2024年4月5日 上傳日期：	68
 112-2 PDS 20240410 Part1 新增說明 1:45:42	2024年4月11日 上傳日期：	51

期末專題之支持措施

- 專題構想分享
- 專題期中進度報告 (重點: 邏輯合成結果)
- 讓修課學生能觀摩到其他同學的設計想法與實作歷程，進行合作學習



課程公告

- 請每組於5/22(三)上課前預先錄製好報告影片 (可用EverCam等螢幕錄製軟體錄製)，上傳到youtube，繳交youtube 連結給助教。
- 所有組別的youtube 連結將公告於課程網站中提供各組於一周內進行同儕互評，也互相參考學習。
 - 覺得最好的三組
 - 覺得可給建議的3組
 - 給出建議
 - 評分(除了自己組以外的其他各組，基於評量尺規)
- 將再公告同儕互評填寫表單

期末專題之支持措施

Dear All,

以下連結是期末專題各組的設計構想影片，請同學全部看完之後填寫互評表單，**表單每人皆需要填寫一份**，填寫的內容與規定請參考表單內說明，**互評表單的期限到5/29 (三) 13:10**，**逾期視同遲交辦理**，**個人期末專題設計與構想分數*0.8**，謝謝。

專題構想互評表單：[互評表單連結](#)

1. 呵呵：<https://youtu.be/TW00eWYkoEM>
2. 家翊：<https://youtu.be/qfArE6pVjFs?si=SuxxyAdl7ORTE2ID>
3. 關於我認真思考組名卻毫無頭緒這檔事：https://www.youtube.com/watch?v=wqA_PeKVI74
4. 超派甲：<https://youtu.be/Y3HStorlTpY>
5. 123：<https://youtu.be/MB8RwOSkRLU>
6. TDLB：https://youtu.be/f_B2dUuwFFA
7. 哭哭彼得潘：<https://www.youtube.com/watch?v=-npjCaGVy74>
8. 學分的狗：<https://youtu.be/II4X0WAh78k>
9. 我想不到組名：<https://www.youtube.com/watch?v=IPsl-oPB8Ag>
10. 我會努力組：<https://youtu.be/xNPRrqHVCG0>
11. 正緣敏觸發：<https://youtu.be/LHJv4crguSo?si=4VqIkzmz0ueFQLqe1>
12. 叉滴小隊：https://youtu.be/9ZXHJ_-6RU8
13. 麥克雞塊：https://youtu.be/80N6pGurfbQ?si=SGSiFzoTxhZG_nzd
14. 安培黃金右手：<https://youtu.be/aaEbSjF3mxA>
15. verylong：<https://www.youtube.com/watch?v=AUqR1I07AMI>

評量尺規 (節錄)

期末專題評分尺規

	優異(4)	良好(3)	尚可(2)	待改進(1)
功能正確性與效能 (40分)	等級 A。 a、完成 Synthesis, Gate-Level 與 RTL 模擬完全正確(針對助教所提供之 testbench), 且硬體設計非依照 testbench 內之 test case 客製化。 b、效能: 總執行時間(ns) * 電路面積(um ²) ≤ 1,000,000,000	等級 B。 a、完成 Synthesis, Gate-Level 與 RTL 模擬完全正確(針對助教所提供之 testbench), 且硬體設計非依照 testbench 內之 test case 客製化。 b、效能: 總執行時間(ns) * 電路面積(um ²) > 1,000,000,000	等級 C。 a、在 clock 週期為 30ns 的條件下, 無法正確模擬(針對助教所提供之 testbench)。 b、但在 clock 週期超過 30ns 時, Gate-Level 與 RTL 模擬正確(針對助教所提供之 testbench), 且硬體設計非依照	等級 D。 RTL 模擬有部分錯誤(針對助教所提供之 testbench) 或硬體設計為依照 testbench 內之 test case 客製化 (0-11分)
協助學生評估有哪些面向可努力並可做到多好				
電路架構 (10分)	採用多種架構進行綜合比較與評估。清楚說明這些演算法的特色、優點、缺點、運作方式等內涵。 (9-10分)	採用 1 種架構。清楚說明此架構的特色、優點、缺點、運作方式等內涵。 (6-8分)	採用 1 種架構。僅描述此架構的運作方式、特色、優點、缺點等部分內涵, 不夠完整。 (3-5分)	採用 1 種架構。簡略描述此架構的運作方式、特色、優點、缺點等部分內涵, 結構欠佳。 (0-2分)
電路分析 (5分)	透過工具清楚分析並附圖說明合成過後的邏輯閘數量、邏輯閘層數、最長路徑標示等內容, 且有多種架構之比較。 (5分)	透過工具清楚分析並附圖說明合成過後的邏輯閘數量、邏輯閘層數、最長路徑標示等內容。 (3-4分)	透過工具說明合成後的邏輯閘數量、邏輯閘層數、最長路徑標示等內容, 但完整度欠佳。 (1-2分)	透過工具說明合成後的邏輯閘數量、邏輯閘層數、最長路徑標示等內容, 但結果有誤。 (0分)

基於評量尺規之教學實施流程

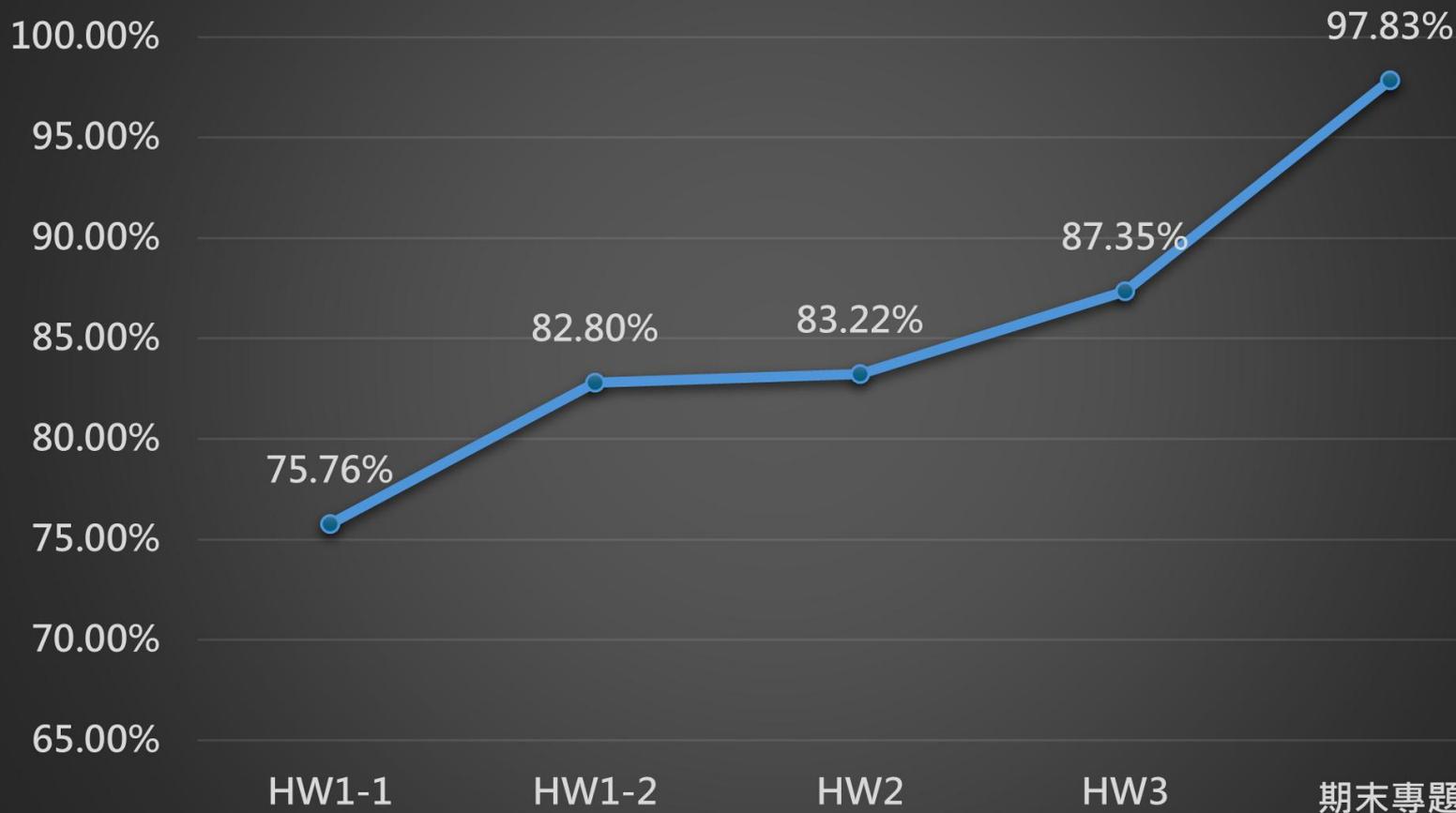


大綱

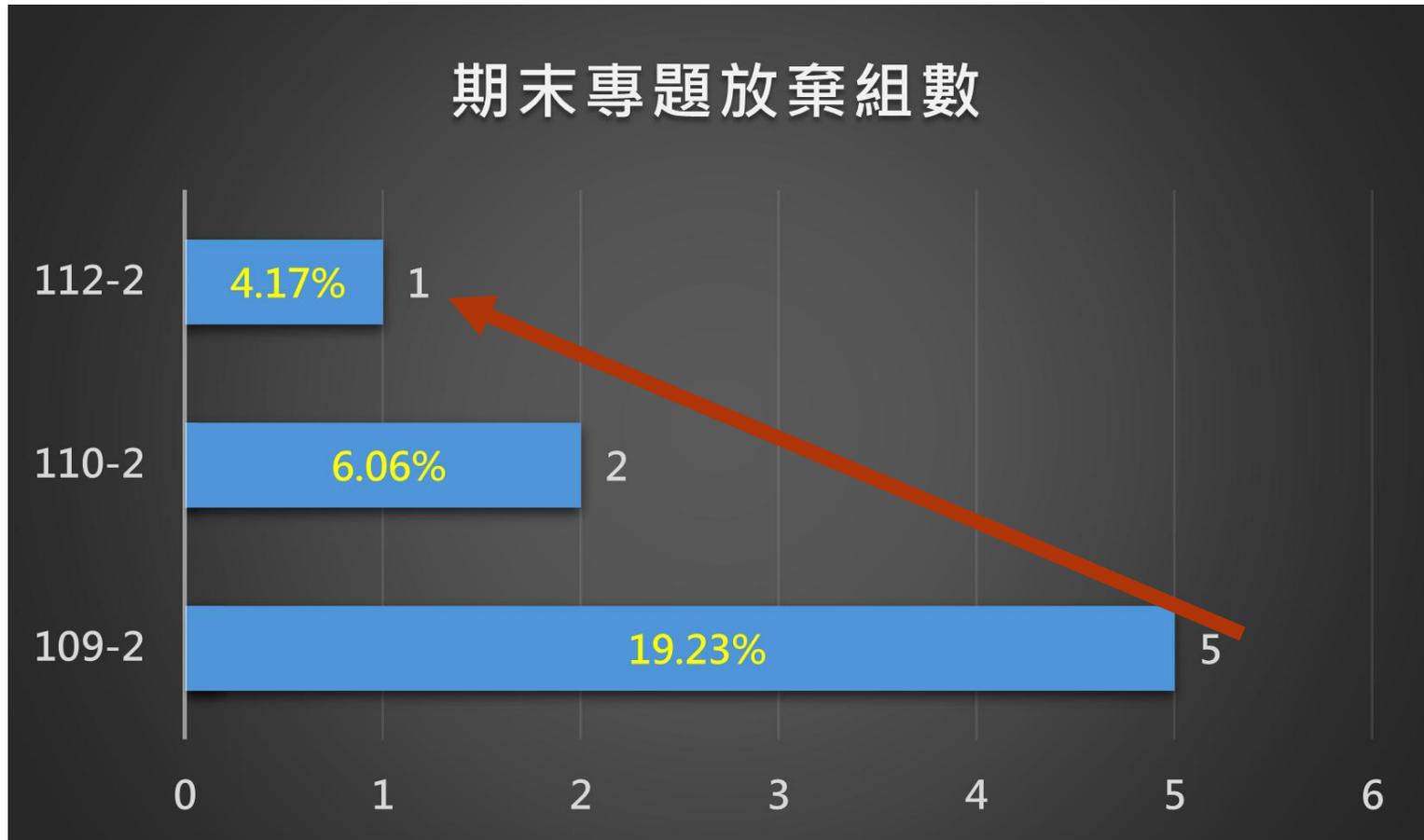
- 計畫概觀與申請動機
- 課程推廣成效
- 執行流程
- **教學成效**

學生願意努力且愈做愈好 也看見自己的進步

功能正確性項目得分比例



鑿而不捨的努力與自我效能感



學習成效前後測分析

	期中前測	期末後測
到目前為止我對這門課程有學習動機與興趣(1分為最低，5分為最高)	4.017	4.317
自評您到目前為止在這門課程的實作能力有多高?(1分為最低，5分為最高)	3.250	3.500
自評您到目前為止在這門課程的問題解決能力有多高?(1分為最低，5分為最高)	3.117	3.600
我了解AI 捲積神經網路的模型	2.017	3.883
我了解捲積神經網路的硬體(AI加速器)設計概念	1.817	3.883
我了解捲積神經網路的硬體(AI加速器)設計架構與方法	1.733	3.817
我了解捲積神經網路中的稀疏性	1.617	3.483